

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

**Publication number:** JP54150076

**Publication date:** 1979-11-24

**Inventor:** TAKEUCHI TSUKASA; KOIDE MASANOBU; SHIMURA MIKIHICO; FUJIMOTO AKIRA; UEHARA MASAMITSU

**Applicant:** OMRON TATEISI ELECTRONICS CO

**Classification:**

- international: **H01L33/00; H01L21/52; H01L21/58; H01L33/00; H01L21/02;** (IPC1-7): H01L21/58; H01L33/00

- European:

**Application number:** JP19780059427 19780517

**Priority number(s):** JP19780059427 19780517

Report a data error here

**Abstract of JP54150076**

**PURPOSE:**To increase the adhesive force by laminating the gold-zinc alloy, the gold-tin alloy and the tin in that order to the P layer side of the III-V group semiconductor chip and then carrying out the heat bonding based on the P layer. **CONSTITUTION:**The Si-added layer is epitaxial-grown to GaAs to form p-layer 1 and n-layer 2. And Au-Zn alloy 4 and Au-Ge alloy 5 are formed at the layer 1 and layer 2 each. Then Au-Sn eutectic alloy 6 (80wt% of Au, 20wt% of Sn) and Sn 7 are laminated on layer 4. Chip 10 is formed by scribing and then put on basement 11 at the side of the p-layer to be heat-bonded. With this method, it is not required to insert another foil between the chip and the basement or to add vibrations. Thus, the backward characteristics is enhanced, and the using amount of gold is reduced with increased adhesive force.

Data supplied from the **esp@cenet** database - Worldwide

## ⑫公開特許公報(A)

昭54—150076

⑪Int. Cl.<sup>2</sup>  
H 01 L 21/58  
H 01 L 33/00

識別記号 ⑫日本分類  
99(5) C 21  
99(5) J 4

庁内整理番号 ⑬公開 昭和54年(1979)11月24日

7357—5F

7377—5F

発明の数 1  
審査請求 未請求

(全 4 頁)

## ⑭半導体装置の製造方法

京都市右京区花園土堂町10番地  
立石電機株式会社内

⑮特 願 昭53—59427

⑯発 明 者 藤本晶

⑰出 願 昭53(1978)5月17日

京都市右京区花園土堂町10番地

⑱発 明 者 竹内司

立石電機株式会社内

京都市右京区花園土堂町10番地

同

上原正光

立石電機株式会社内

京都市右京区花園土堂町10番地

同

小出正信

立石電機株式会社内

京都市右京区花園土堂町10番地

⑲出 願 人 立石電機株式会社

立石電機株式会社内

京都市右京区花園土堂町10番地

同

志村幹彦

⑳代 理 人 弁理士 難波国英

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) P N 接合を有する半導体チップの P 層側に、金—亜鉛合金層、金—錫合金層、錫層をこの順に形成し、しかるのち P 層側を基台に加熱接着することを特徴とする半導体装置の製造方法。

(2) 上記半導体チップはⅢ—Ⅴ族の化合物半導体である特許請求の範囲第 1 項記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

この発明はガリウムヒ素発光ダイオードなど P N 接合を有する半導体チップをステムやリードフレームなどの基台に接着する半導体装置の製造方法に関するものである。

従来、この種半導体装置の製造方法としては、第 8 図に示すように、半導体チップ 2 1 とステム 2 2 との間に金箔または金—シリコンもしくは金—ゲルマニウム合金箔の厚さ 50 μm 程度の箔体 2 3

を介挿し、ついで、接着力を増すために、第 9 図のように全体を振動させながら加圧して、チップ 2 1 とステム 2 2 を接着することが行なわれている。

ところがこの製造方法では、チップ 2 1 やステム 2 2 とは別体の箔体 2 3 を用意し、それを介挿させることや振動が必要で、工程が複雑かつ長時間となる。またこれに加えて振動装置を設けなければならないなど製造コストが高くなる。さらに、この方法では、振動加圧時に箔体 2 3 から不純物が飛散して第 10 図の実線 a で示すように、逆方向の電圧—電流特性が悪くなる。

一方、上記を改善する方法として、まず第 11 図に示すように、チップに分割する前の P N 接合を有する半導体ウエハ 2 4 に、蒸着によつて厚さ 1 μm 程度の金または金合金の膜 2 5 を形成し、ついで、第 12 図に示すように、ウエハ 2 4 にダイヤモンドカッタ 2 6 でスクライプ線 2 7 を刻設したのち、このスクライプ線 2 7 に沿つてウエハ 2 4 を押圧分断して第 13 図のような半導体チッ

ブ28を得て、さらにこのチップ28を、第14図に示すようにステム29に設置して加熱圧着し、チップ28をステム29に接着することが提唱されている。

ところがこの方法では、第8図で述べた箔体23の挿入工程や第9図の振動工程が省略できる利点はあるが、ウエハ24に蒸着形成される膜25が十分な付着強度を得るため貴金属で厚さ1 $\mu$ mと比較的厚く高価であり、またチップ28を得るに際し、上記膜25の分割がむづかしいため、ウエハ24を分断するのが困難で、製品歩留りが悪い。

この発明は、半導体チップのP層側に金-亜鉛合金層、金-錫合金層および錫層をこの順に形成し、しかるのち、P層側をステムなどの基台に加熱接着することにより、箔体の挿入工程や振動工程が不要でありながら接着力が大きくとれ、しかも製造コストが安価な半導体装置の製造方法を提供することを目的とするものである。

以下、この発明の実施例を図面にしたがって説明する。

(3)

設したのち、このスクライプ線10に沿って押圧分断し、第6図に示すような、PN接合を有する半導体チップ10を得る。このチップ10には、上記で述べたように、P層1側に金-亜鉛合金層4、金-錫合金層6、錫層7がこの順に、またN層2側に金-ゲルマニウム合金層5がそれぞれ形成されている。

なお、第5図のウエハ3から第6図のチップ10に分断するに際し、発明者の教度にわたる実験において、ウエハ3に形成した各層4~7の存在のためにウエハ3の分断が困難であるということは認められなかった。

さて、しかるのち各層4~7が形成された半導体チップ10のP層1側を、第7図のように、ステムやリードフレームなどの基台11に設置したのち加熱してチップ10と基台11とを接着し、半導体装置は完成する。

つぎに、上記製造方法によつて得た半導体装置のチップと基台との接着力について考察する。

下表は、各種の方法により、チップと基台とを

(5)

まず、たとえばガリウムヒ素(GaAs)などⅢ-V族の化合物半導体の結晶基板にシリコン(Si)ドーパを液相エピタキシャル成長させ、第1図のようなP層1とN層2が形成された半導体ウエハ3を得たのち、P層1側に約4000Åの金-亜鉛(Au-Zn)合金層4、N層2側に約4000Åの金-ゲルマニウム(Au-Ge)合金層5をそれぞれ形成する。なお、これら合金層4、5はそれぞれオーミック接続されたアノード電極、カソード電極となる。

つぎに、第8図のように、上記金-亜鉛合金層4の表面に、蒸着により、厚さ8000Å程度の金-錫(Au-Sn)共晶合金層6を形成し、さらに、第4図のように、上記金-錫共晶合金層6の表面に、同じく蒸着により、厚さ5000Å程度の錫(Sn)層7を形成する。なお、上記金-錫合金層6は、金80%、錫20%の重量比にすることが望ましい。

つづいて、第5図のように、上記半導体ウエハ3にダイヤモンドカッタ8でスクライプ線9を刻

(4)

接着させた半導体装置のサンプルにもとづいて、接着力の実験をした測定データである。

チップと基台間の介在物	接 着 時 の振 動	介 在 物 の 形 態	
		層 を 形 成	箔 体 を 介 挿
金-シリコン	加えた場合		8kg/mm <sup>2</sup>
	加えない場合	0.7kg/mm <sup>2</sup>	0.5~0.6kg/mm <sup>2</sup>
金-ゲルマ	加えた場合		
	加えない場合		0.9kg/mm <sup>2</sup>
金 - 錫	加えた場合		
	加えない場合	0.4kg/mm <sup>2</sup>	0.5kg/mm <sup>2</sup>
金-錫、錫を積層	加えた場合		
	加えない場合	2kg/mm <sup>2</sup> (本発明)	

この表からわかるように、本発明に係る製造方法、つまり、第7図のように、チップ10のP層1側に、オーミック接続の金-亜鉛合金層4を形成後、金-錫合金層6、錫層7をこの順に積層したのち、基台11に加熱接着すると、2kg/mm<sup>2</sup>と接着力の大きい半導体装置が得られる。すなわち、チップに、金-シリコン、金-ゲルマあるいは金-錫合金層を形成したり、チップと基台間に箔体

(6)

を介挿させ、接着時に振動を加えない場合は0.5～0.9 kgと接着力は小さいが、本発明によると、振動を加えない場合でも、上記の2倍以上と接着力が飛躍的に増大される。なお、チップと基台との間に金-シリコンの箔体を介挿させ、さらに振動を加えるといつた複雑な工程を経て接着した場合には、8 kg/個と大きな接着力となつているが、半導体装置の実際の使用に当つては、2 kg/個の接着力があればチップと基台とが分離することがなく、十分その使用に耐えるものである。また、上表に記載されていないが、チップのP層側に合金層を形成し、振動を加えながら加熱接着すると、振動を加えない場合に比べ、逆に接着力が減少することが確認されている。

以上詳述したように、この発明に係る半導体装置の製造方法は、チップのP層側に、金-亜鉛合金層、金-錫合金層、錫層をこの順に形成し、しかるのちP層側を基台に加熱接着するもので、チップと基台間に別体の箔体を介挿させたり、振動を加える方法にくらべ、工程が簡単となりしかも

(7)

チップと基台の接着力が大きくなる。また、振動にともなう不純物飛散が生じないから、逆方向の電圧-電流特性を向上させることができる。さらに、P層側に形成される金-錫合金層は3000Åと薄く、貴金属である金の使用が従来にくらべ少なくて済むから、製造コストを下げることができる。

#### 4. 図面の簡単な説明

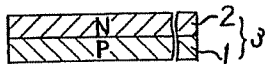
第1図ないし第7図は、この発明に係る半導体装置の製造方法の各工程を示す断面図、第8図は従来の半導体装置の製造方法を示す断面図、第9図は同斜視図、第10図は上記従来の製造方法で得た半導体装置の電圧-電流特性図、第11図ないし第14図は従来の他の半導体装置の製造方法の各工程を示す断面図である。

1…P層、2…N層、4…金-亜鉛合金層、6…金-錫合金層、7…錫層、10…半導体チップ、11…基台。

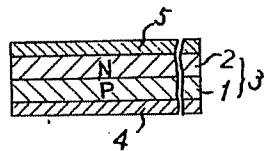
特許出願人 立石電機株式会社  
代理人 井理士

立石電機株式会社  
難波 国 英  
(8)

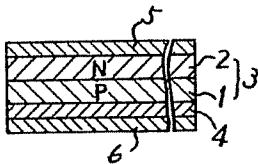
第1図



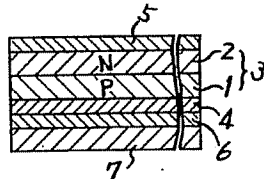
第2図



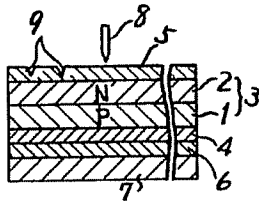
第3図



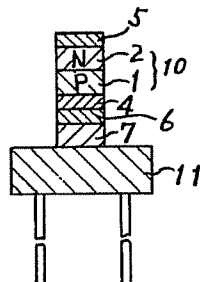
第4図



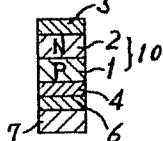
第5図



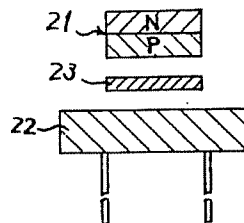
第7図



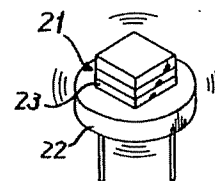
第6図



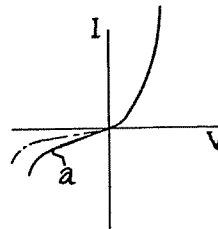
第8図



第9図



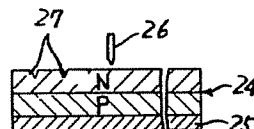
第10図



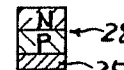
第11図



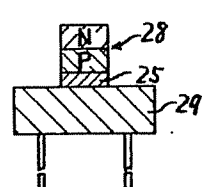
第12図



第13図



第14図



## 手 続 補 正 書

昭和53<sup>補</sup>7月18日

特許庁長官殿

## 1. 事件の表示

特 願 昭 53-059427 号

## 2. 発明の名称

半導体装置の製造方法

## 3. 補正をする者

事件との関係 特許出願人

住 所 京都市右京区花園土堂町10番地

名 称 (294)立石電機株式会社

代表者 立 石 一 真

## 4. 代 理 人

郵便番号 550

住 所 大阪市西区西本町1丁目5番3号 (扶桑ビル)

氏 名 弁理士 (7415) 難 波 国 英

電話大阪 (06) 538-1288番

## 5. 補正命令の日付

昭和 年 月 日 (発注日) 特許庁 発給的

## 6. 補正の対象

明細書の「発明の詳細な説明」

## 7. 補正の内容

## A: 明細書

(1) 第4頁第8行目;

「ブを」とあるを「ブされたガリウムヒ素 (GaAs) を」と補正いたします。

(2) 第4頁第5行目;

「ち、P」とあるを「ち、第2図のように、P」と補正いたします。

(3) 第5頁第1行目;

「10」とあるを「9」と訂正いたします。

特許出願人 立石電機株式会社

代理人 弁理士 難 波 国 英

(2)